

**OSD CIRCUIT****Publication number:** JP10126710 (A)**Publication date:** 1998-05-15**Inventor(s):** OKAZAKI FUMIHIRO**Applicant(s):** NIPPON ELECTRIC CO**Classification:**

- international: H04N5/278; G09G5/00; G09G5/06; G09G5/18; G09G5/36; G09G5/377; H04N5/45; H04N9/74; H04N5/278; G09G5/00; G09G5/06; G09G5/18; G09G5/36; H04N5/45; H04N9/74; (IPC1-7): H04N5/45; G09G5/00; G09G5/06; G09G5/18; G09G5/36; H04N5/278; H04N9/74

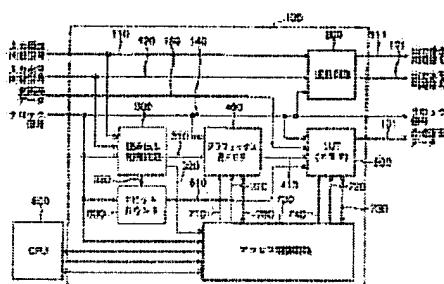
- European:

**Application number:** JP19960275032 19961017**Priority number(s):** JP19960275032 19961017**Also published as:**

JP3250468 (B2)

**Abstract of JP 10126710 (A)**

**PROBLEM TO BE SOLVED:** To provide an OSD (on-screen display) circuit which enables many types of representations, can process different overlapping with a single circuit and has a small size of a circuit. **SOLUTION:** This circuit performs overlapping with high accuracy by performing the overlapping of a main picture and a graphic picture with a digital signal. It can overlap not only a character by also bitmap information such as a drawing, graphic, etc., because it is provided with graphic memory 400 to which an external CPU 800 can rewrite. It can perform many kinds of overlapping processing with a single circuit by using an LUT (look-up table) 500 to which the CPU 800 can rewrite. It can easily perform different processing in each component because data of the main picture is handled by dividing it into components like YCrCb, etc.; It can make the scale of a circuit and the capacity of the LUT 500 small because a data bus width is made narrow by performing time division multiplexing of each component like YCrCb, etc., of the data of the main picture.



Data supplied from the esp@cenet database — Worldwide



#### 【特許請求の範囲】

【請求項1】 グラフィックス画面データ（410）を記憶する、書き替え可能なグラフィックス用メモリ手段（400）と；複数の成分別に時分割多重された主画面データ（130）と前記グラフィックス画面データとがとりうる値の組み合わせの全てについてあらかじめ希望の重ね合わせ処理の計算をした結果を、両画面データをアドレスとして記憶しておき、表示時には前記主画面データと前記グラフィックス画面データをアドレスとしてその計算結果を得るルックアップテーブル手段（500）と；前記主画面データの各成分に一つ一つに対応する値を出力するカウンタ手段（600）と；前記主画面データの入力垂直同期信号（110）と入力水平同期信号（120）とクロック信号（140）とに基づき、前記グラフィックス用メモリ手段の読み出しアドレス（310）と、アクセス許可信号（320）と、前記主画面データの成分と前記カウンタ手段の出力値が正しく対応するように前記カウンタ手段をリセットするカウンタリセット信号（330）と、を出力する読み出し制御手段（300）と；前記アクセス許可信号を受けて、前記グラフィックス用メモリ手段と前記ルックアップテーブル手段のアクセスを制御するアクセス制御手段（700）と；前記入力垂直同期信号と前記入力水平同期信号とを、前記主画面データと前記グラフィックス画面データとの重ね合わせ処理に要するクロック数だけ遅延させて、出力垂直同期信号と出力水平同期信号とを出力する遅延手段（200）と；から構成されることを特徴とするOSD回路。

【請求項2】 前記グラフィックス画面データが文字や絵、図形等である、請求項1に記載のOSD回路。

【請求項3】 前記複数の成分が、輝度成分Yと2つの色差成分C<sub>r</sub>、C<sub>b</sub>とから成る、請求項1に記載のOSD回路。

【請求項4】 前記複数の成分が、赤色成分Rと緑色成分Gと青色成分Bとから成る、請求項1に記載のOSD回路。

【請求項5】 前記アクセス制御手段が、外部からのアクセスよりも、前記グラフィックス用メモリ手段と前記ルックアップテーブル手段へ表示系を優先して制御する、請求項1に記載のOSD回路。

【請求項6】 前記ルックアップテーブル手段が、記憶のためにRAMを使用する請求項1に記載のOSD回路。

【請求項7】 前記ルックアップテーブル手段が、記憶のためにROMを使用する請求項1に記載のOSD回路。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、OSD（On Screen Display）回路に関し、特に主画面の信号がデジタル

信号で得られる場合に適用できるOSD回路に関する。

##### 【0002】

【従来の技術】 従来、この種のOSD回路は、TV等の主画面を文字や絵、図形等のグラフィックス画面と重ね合わせて表示するために用いられている。

【0003】 例えば、特開平5-127639号公報（以下、先行技術1と呼ぶ）には、比較的簡単なTV画面にグラフィックスをスーパーインポーズまたはオーバーレイ表示できるサブコードグラフィックスデコーダが記載されている。

【0004】 図9は上記先行技術1に記載されているサブコードグラフィックスデコーダのブロック図を簡略化したものである。図示のサブコードグラフィックスデコーダは、ディスクプレーヤ30と、グラフィック命令解釈部31と、アドレス計算部37と、V-RAM39と、選択器40と、CULT RAM41と、TULT RAM42と、D/A変換器45と、マトリックス回路47と、エンコーダ48と、混合器49と、CRTディスプレイ55と、選択スイッチ56と、一致信号発生回路57と、色設定回路61とを有する。混合器49は、ATT50、51とインバータ52から構成されている。

【0005】 この構成では、ディスクに記録されている主画面に、同じくディスクに記録されているグラフィック命令によって作成されたグラフィック画面を重ね合わせて出力する。

【0006】 先行技術1は、CULT RAM41とTULT RAM42の2個のルックアップテーブルを持ち、それらを参照して混合器49を制御し、主画面のビデオ信号とグラフィックス画面のビデオ信号を切り替え、あるいはある比率で混合することによりスーパーインポーズあるいはオーバーレイを行うものである。

【0007】 また、特開平2-87886号公報（以下、先行技術2と呼ぶ）には、主画面側のビデオ信号及び振幅一定に制御された第一のクロマ信号の対並びに副画面側の時間軸圧縮されたビデオ信号及び第二のクロマ信号の対を切換え合成することにより、2画面合成時の各種映像コントロール可変による不自然さを解消するようにした「画面合成回路」が開示されている。先行技術2に開示された画面合成回路は、主画面ビデオ信号入力端子から帯域通過濾波器を経て出力される信号の色レベルを制御して第一のマクロ信号を作成する自動色レベル制御回路と、副画面ビデオ信号入力端子から入力され時間軸圧縮されたビデオ信号から第二のクロマ信号を作成するエンコーダとを有する。また、画面合成回路は、主画面側のビデオ信号及び第一のクロマ信号の対と副画面側の圧縮されたビデオ信号及び第二のクロマ信号の対とを切換え合成する画面合成切替スイッチを有する。

【0008】 さらに、特開昭64-57382号公報（以下、先行技術3と呼ぶ）には、色データを格納して

あるルックアップテーブル（ＬＵＴ）の各々に、違った値を設定しておくことにより、通常の画像部分とマスク部分を、色の違いにより、容易に識別できるようにした「マスク表示処理方式」が開示されている。先行技術３において、画像用メモリのデータは８ビットであり、オーバーレイ用メモリのデータは、“１”（マスクパターン部分）又は“０”（その他の部分）である。セレクト手段は、インパータとなっており、第１のＬＵＴにはオーバーレイ用メモリの出力をインパータによりインパートしたものが制御入力として入り、第２のＬＵＴにはオーバーレイ用メモリの出力が直接制御入力として入っている。第１及び第２のＬＵＴは制御入力が“１”の時は選択され、“０”の時は選択されないようになっている。従って、マスクパターン部分では第２のＬＵＴが選択され、それ以外では第１のＬＵＴが選択される。

【０００９】

【発明が解決しようとする課題】上述した先行技術１のＯＳＤ回路には次に述べるような問題点がある。

【００１０】第１の問題点は、表現力が乏しいということである。その理由は、主画面とグラフィックス画面を重ね合わせる方法が、単なるスーパーインポーズや透明度が可変のオーバーレイ程度しかないからである。

【００１１】第２の問題点は、多種類の表現を行えるようにすると回路規模が非常に大きくなるということである。その理由は、主画面とグラフィックス画面の重ね合わせ処理を、ＮＴＳＣ等のアナログビデオ信号の状態で両画面の信号を切り替えたり混合する比率を変化させたりすることで行っているが、その場合、両画面の垂直同期信号と水平同期信号を同期させるだけでなく、カラーサブキャリアも同期させなければならないからである。また、ＮＴＳＣ等のビデオ信号のままではそれほど複雑な重ね合わせ処理は行えないので、一度、ＹＣｒＣｂ信号あるいはＲＧＢ信号などの成分別の信号にデコードし、各成分毎に重ね合わせ処理後、再度コンポジットビデオ信号にエンコードするなどしなければならないからである。

【００１２】第３の問題点は、デジタル化が進んでいる映像機器には適していないということである。その理由は、主画面、グラフィックス画面ともにデジタル信号で得られるものをアナログ信号に変換してから重ね合わせ処理すると、Ｄ／Ａ変換器やエンコーダなどが複数必要になり回路規模が大きくなるからである。

【００１３】したがって、本発明の目的は、主画面の信号がデジタル信号で得られる場合に、多種類の表現が可能なＯＳＤ回路を提供することにある。

【００１４】本発明の他の目的は、単一の回路で異なった重ね合わせ処理が行えるＯＳＤ回路を提供することにある。

【００１５】本発明のもっと他の目的は、回路規模が小さいＯＳＤ回路を提供することにある。

【００１６】なお、先行技術２は、ピクチャ・イン・ピクチャにおいて、色調整時等の不自然さを解消することが目的であって、本発明の目的とは関連がない。また、先行技術３は、マスクパターン部分をその他の画像部分と容易に識別できるようにした技術思想であって、多種類の表現を可能とした本発明とは異なる。

【００１７】

【課題を解決するための手段】上述した課題を解決するため、本発明のＯＳＤ回路は、主画面の信号とグラフィック画面の信号をデジタル信号のままで重ね合わせ処理を行う。

【００１８】主画面の信号としては、入力垂直同期信号、入力水平同期信号、主画面データ、クロック信号を入力する。

【００１９】また、グラフィックス画面データを保持するグラフィックス用メモリ、主画面データとグラフィックス画面データとの重ね合わせ処理を行うための書き替え可能なルックアップテーブルとを備えていて、外部のＣＰＵからグラフィックス用メモリにグラフィックス画面データを、また、ルックアップテーブルの入力データに対応するアドレスに、入力データに希望する重ね合わせ処理の演算を行った結果を、それぞれ書き込む。

【００２０】また、ＹＣｒＣｂ等の各成分が時分割多重されている主画面データの各成分ごとに異なる重ね合わせ処理を行えるように、各成分ごとにルックアップテーブルの異なるアドレスにアクセスするための２ビットカウンタ、外部のＣＰＵからのグラフィックス用メモリやルックアップテーブルへのアクセスが、読み出し制御回路など表示系からのグラフィックス用メモリやルックアップテーブルへのアクセスを妨害しないように制御するアクセス制御回路、画面の重ね合わせ処理にかかるクロック数だけ、主画面データの入力垂直同期信号および入力水平同期信号を遅延させて出力するための遅延回路、を備えていることを特徴としている。

【００２１】

【作用】グラフィックス用メモリを備えているので、単に文字だけでなく、図や絵などのビットマップ情報も主画面データに重ね合わせることができる。

【００２２】重ね合わせ処理の内容はルックアップテーブルの内容によって決まるので、外部のＣＰＵ等からルックアップテーブルの内容を書き替えることによって、回路の変更無しに重ね合わせ処理の内容（オーバーレイ、マスク、モノクロ化、強調等）を変更することができる。また、グラフィックス用メモリの１ドット分のメモリ中のビット数の配分（何ビットを色の指定に使用し、何ビットを透明度の指定に使用し、何ビットをマスクに使用する等）やフォーマット（グラフィックスデータの形式としてＲＧＢ形式を使用するか、パレットコード形式を使用するか、あるいはどのビットを何に使用するか等）も自由に換えられるため、単一の回路で多種類

の重ね合わせ表現ができ、表現の自由度を大きくできる。

【0023】重ね合わせ処理をルックアップテーブルによって行うことにより、多種類の重ね合わせ処理をハードウェアで行うための多数の高速な加算器や乗算器等が不要になるので、回路規模を小さくでき、そのためコスト低減もできる。

【0024】主画面データを、YCbCrやRGB等の成分によって時分割多重して扱うための2ビットカウンタを備えることにより、主画面データのバス幅を1/2乃至1/3にできるので、ルックアップテーブルのメモリサイズを大幅に縮小でき、またICの端子数や削減や回路基板の小型化できる。そのためコスト低減もできる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0026】図1に本発明の一実施の形態によるOSD回路を示す。図示のOSD回路100は、遅延回路200、読み出し制御回路300、グラフィックス用メモリ400、ルックアップテーブル(LUT)500、2ビットカウンタ600、およびアクセス制御回路700を有している。また、OSD回路100には、外部にCPU800が接続されている。

【0027】遅延回路200には、主画面の入力垂直同期信号110と入力水平同期信号120とクロック信号140とが供給される。遅延回路200は、主画面とグラフィックス画面の重ね合わせ処理にかかるクロック数と同じクロック数だけ入力垂直同期信号110と入力水平同期信号120とを遅延して、出力垂直同期信号111と出力水平同期信号121として出力する。遅延回路200は、遅延させるクロック数分の段数のシフトレジスタ201~208によって構成することができる。

【0028】図2は遅延時間が4クロック数分に相当する場合の遅延回路200の構成例である。遅延回路200は、2本のシフトレジスタで構成され、一方は4個のフリップフロップ(FF)201~204からなる4段のシフトレジスタであり、他方も4個のフリップフロップ(FF)205~208からなる4段のシフトレジスタである。入力垂直同期信号110は、一方のシフトレジスタ201~204により4クロック分遅延され、出力垂直同期信号111として出力される。入力水平同期信号120は、他方のシフトレジスタ205~208により4クロック分遅延され、出力水平同期信号121として出力される。

【0029】なお、遅延時間を変えるにはシフトレジスタの段数、すなわちシフトレジスタを構成するフリップフロップの数を変えればよい。このとき、一般的には入力垂直同期信号110を遅延させるシフトレジスタの段数と入力水平同期信号120を遅延させるシフトレジ

スタの段数は等しくする。しかし、それらを意図的に異ならせることで、出力垂直同期信号111と出力水平同期信号121との間の位相差を変化させることも可能である。

【0030】遅延回路200は、FIFOメモリによっても構成することができる。しかし、遅延回路200は、多くとも数クロック分遅延させるだけなので、シフトレジスタで構成した方がFIFOメモリで構成するよりも回路規模の点から有利である。

【0031】読み出し制御回路300には、主画面の入力垂直同期信号110と入力水平同期信号120とクロック信号140とが供給される。読み出し制御回路300は、入力垂直同期信号110と入力水平同期信号120とクロック信号140とに同期して、グラフィックス用メモリ400の読み出しアドレス310とアクセス許可信号320と2ビットカウンタ600のリセット信号330を発生、出力する。

【0032】図3は読み出し制御回路300の構成例である。読み出し制御回路300は、ブランキング信号発生回路301と、リセット信号発生回路302と、カウンタ303とから構成される。

【0033】ブランキング信号発生回路301には、入力垂直同期信号110と入力水平同期信号120とクロック信号140とが供給される。ブランキング信号発生回路301は、入力垂直同期信号110と入力水平同期信号120とから、ブランキング期間を示す垂直ブランキング信号と水平ブランキング信号とを作成し、その両ブランキング信号の論理和、すなわちコンポジットブランキング信号をアクセス許可信号320として出力する。

【0034】また、リセット信号発生回路302には、入力垂直同期信号110と入力水平同期信号120とクロック信号140とが供給される。リセット信号発生回路302は、入力垂直同期信号110と入力水平同期信号120との間の位相差からインタレース形式の主画面のフィールド判別を行い、第1フィールドの先頭でカウンタ303と2ビットカウンタ600がリセットされるようにカウンタリセット信号330を作成し出力する。

【0035】カウンタ303はリセット信号発生回路302が出力するカウンタリセット信号330によって主画面の第1フィールドの先頭でリセットされ、主画面の次のフレームの第1フィールドの先頭までクロック信号140によってカウントアップするカウンタで、そのカウント値を、グラフィックス用メモリ400を読み出すための読み出しアドレス310として出力する。

【0036】グラフィックス用メモリ400には、読み出し制御回路300が出力する読み出しアドレス310と主画面のデータクロックであるクロック信号140とが供給される。グラフィックス用メモリ400は、クロック信号140に同期して、読み出しアドレス310で

指定されたアドレスに格納されているグラフィックス画面データ410を出力する。また、グラフィックス用メモリ400には、アクセス制御回路700のグラフィックス用メモリアクセス制御信号710が供給されると共に、アクセス制御回路700のアドレスバス720とデータバス730とに接続されている。グラフィックス用メモリ400は、読み出し制御回路300からの表示のためのアクセスを妨害することなく外部のCPU800からの読み出し／書き込みアクセスが行える。

【0037】図4はグラフィックス用メモリ400の構成例である。グラフィックス用メモリ400は、セクタ401とRAM402とフリップフロップ（FF）403とバストランシーバ404とから構成されている。

【0038】セクタ401は、読み出し制御回路300が出力する読み出しアドレス310と、アクセス制御回路700が出力するアドレスバス720上のアドレスとを、アクセス制御回路700が出力するグラフィックス用メモリアクセス制御信号710に基づいて選択し、RAM402へアドレスとして与える。セクタ401は、通常、読み出しアドレス310を選択し、CPU800からのアクセスが行われる場合のみアドレスバス720上のアドレスを選択する。

【0039】RAM402は必要な容量とデータバス幅をもつRAMで、CPU800がアクセス制御回路700を通して書き込んだグラフィックス用画面データを記憶する。例えば、720ピクセル×480ピクセルの解像度の画面で1ピクセル当たり1バイトを使用する場合、RAM402の最低限必要なRAM容量は $720 \times 480 \times 1 = 345600$ バイトとなる。

【0040】フリップフロップ403は、RAM402のデータバスのビット数と同じ数のフリップフロップから成る一種のレジスタで、RAM402の出力データを一時的に保持する。フリップフロップ403に保持しているデータは、通常はクロック信号140の1クロック毎に更新されるが、RAM402に対してCPU800からのアクセスが行われる場合には、グラフィックス用メモリアクセス制御信号710によってその期間中は更新が停止するよう制御される。CPU800からのアクセスはアクセス許可信号320に基づいてブランキング期間中に行われるので、このようにグラフィックス画面データ410の更新が停止されても何の問題も無い。

【0041】バストランシーバ404は、データバス730とRAM402のデータバスの間に入る双方向のトライステートバッファである。バストランシーバ404は、グラフィックスメモリ用アクセス制御信号710によって、その入出力方向やハイインピーダンス状態の制御をされ、信号の衝突を防ぐ。すなわち、バストランシーバ404は、CPU800からのアクセス時のみRAM402のデータバスとデータバス730とを接続し、通常はRAM402のデータバスとデータバス73

0とを切り離すためにハイインピーダンス状態となるよう制御される。

【0042】ルックアップテーブル500は、主画面データ130とグラフィックス用メモリ400が出力するグラフィックス画面データ410と2ビットカウンタ600の出力610と主画面のデータクロックであるクロック信号140とが供給される。ルックアップテーブル500は、主画面データ130とグラフィックス画面データ410と2ビットカウンタ600の出力610をその読み出しアドレスとして、そのアドレスに格納されている希望の重ね合わせ処理の演算結果を合成画面データ131として出力する。また、ルックアップテーブル500は、アクセス制御回路700のLUTアクセス制御信号740が供給されると共に、アクセス制御回路700のアドレスバス720とデータバス730とに接続されている。ルックアップテーブル500は、表示のためのアクセスを妨害することなく外部のCPU800からの読み出し／書き込みアクセスが行える。

【0043】図5はルックアップテーブル500の構成例である。ルックアップテーブル500は、グラフィックス用メモリ400と同様の構成で、同様の動作をする。すなわち、ルックアップテーブル500は、セクタ501とRAM502とフリップフロップ（FF）503とバストランシーバ504とから構成されている。グラフィックス用メモリ400と異なる点は、グラフィックス用メモリ400の場合の読み出しアドレス310に代わって、セクタ501には、主画面データ130とグラフィックス画面データ410と2ビットカウンタ600の出力610を組み合わせてアドレスとしてもが入力されている点である。また、セクタ501、RAM502、フリップフロップ503、およびバストランシーバ504などのバス幅などもグラフィックス用メモリ400のそれらとは一般的には異なっている。

【0044】また、もし重ね合わせ処理をソフトウェアで変更する必要がなければ、RAM502の代わりにROMを使用することができる。その場合、CPU800からのアクセスも不要なので、ルックアップテーブル500の回路規模を小さくできる。

【0045】2ビットカウンタ600は、主画面のデータクロック（クロック信号140）と読み出し制御回路300が出力するカウンタリセット信号330とが供給される。2ビットカウンタ600は、YCrCb等の成分が時分割多重された主画面データの各成分毎に異なる重ね合わせ処理を行えるようにするために、各成分毎にルックアップテーブル500の異なるアドレスをアクセスするよう、ルックアップテーブル500の読み出しアドレスのうちの2ビット分を発生し、2ビットカウンタ600の出力610として出力する。より詳細には、2ビットカウンタ600は、主画面データ130がYCrCb=4:2:2の形式の場合には2ビットの4進カウ

ンタとして構成される。

【0046】アクセス制御回路700は、読み出し制御回路300とグラフィックス用メモリ400とルックアップテーブル500と外部のCPU800とに接続される。アクセス制御回路700は、表示系からのグラフィックス用メモリ400とルックアップテーブル500への表示のためのアクセスを妨害することなく、外部のCPU800からそれらに読み出し／書き込みアクセスできるように、読み出し制御回路300が出力するアクセス許可信号320に基づいて制御を行う。

【0047】図6はアクセス制御回路700の構成例である。アクセス制御回路700は、第1乃至第3のラッチ701、702、703と、アドレスデコーダ704と、アクセス制御信号発生回路705と、セクタ706とから構成されている。

【0048】第1のラッチ701はトランスペアレントラッチで、第2および第3のラッチは702および703はトライステート出力のトランスペアレントラッチである。第1のラッチ701はCPU800のアドレスバスとアドレスバス720との間に入っている。また第2のラッチ702と第3のラッチ703はCPU800のデータバスとデータバス730との間に入っていて、2つで双方向のラッチを構成している。これは3つのラッチ701～703のトランスペアレントとラッチとハイインピーダンスの状態は、アクセス制御信号発生回路705の出力によって制御される。

【0049】アドレスデコーダ704はCPU800がアクセスしたいアドレスをデコードして、それがグラフィックス用メモリ400へのアクセスか、ルックアップテーブル500へのアクセスかを判別し、それに応じてセクタ706を制御する。

【0050】アクセス制御信号発生回路705は、CPU800のバス制御信号とアクセス許可信号320によって、CPU800からグラフィックス用メモリ400、またはルックアップテーブル500へアクセスするための制御信号の作成等を行う。CPU800からアクセスしようとしたときにアクセス許可信号320がアクセス許可を示していれば、アクセス制御信号発生回路705は、3つのラッチ701～703をトランスペアレントやハイインピーダンスに制御してそのままアクセスさせる。また、アクセス許可信号320がアクセス禁止を示していれば、アクセス制御信号発生回路705は、3つのラッチ701～703にアドレスやデータをラッチし、アクセス許可になった時にCPU800に代わってアクセスを行う。もし、その代理アクセスが終わる前にCPU800から次のアクセスがあった場合には、アクセス制御信号発生回路705は、CPU800に対して待ちあるいはアクセス不可を示す信号などを返す。

【0051】セクタ706は、アクセス制御信号発生回路705が作成、出力したグラフィックス用メモリ4

00あるいはルックアップテーブル500をアクセスするための制御信号を、アドレスデコーダ704の出力に従ってグラフィックス用メモリ400あるいはルックアップテーブル500のどちらかに向けて出力するかを切り替え、グラフィックス用メモリアクセス制御信号710またはルックアップテーブルアクセス制御信号740として出力する。

【0052】外部に接続されたCPU800は、グラフィックス画面のデータを発生し、グラフィックス用メモリ400に書き込んだり、希望の重ね合わせ処理の演算結果を計算してルックアップテーブル500に書き込んだり、あるいは、本発明に係るOSD回路が組み込まれた機器のユーザ操作に対する処理を行ったりする。

【0053】次に、図1に示す本発明の一実施の形態によるOSD回路の動作について説明する。

【0054】図7に主画面データ130のフォーマットの一例を示す。図7において、(A)にクロック信号140を、(B)に主画面データ130を示す。主画面データ130は、YCrCb=4:2:2形式のデータが図7(B)に示すように時分割多重されているものとする。ここで、YCrCb=4:2:2形式とは、輝度成分(Y)については1ドットに対して1つのデータを、色差成分(Cr、Cb)については2ドットに対してそれぞれ1つのデータだけを使用する形式である。各成分は、入力垂直同期信号110および入力水平同期信号120を基準にして、基準から何クロック目かで識別することができる。例えば、図7(B)において、 $Y_{n+2}$ と記述されているデータは、基準から $(n+2)$ ドット目のピクセルのY成分のデータ、 $Cr_{n+2}$ と記述されているデータは基準から $(n+2)$ ドット目と $(n+3)$ ドット目のピクセルのCr成分のデータである。

【0055】図8に図1に示したOSD回路100の重ね合わせ動作の一例を示す。図8において、(A)にクロック信号140を、(B)に主画面データ130を、(C)にグラフィックス画面データ410を、(D)に2ビットカウンタ600の出力610を、(E)に合成画面データ131を示す。OSD回路100は、主画面のクロック信号140に同期して動作する。

【0056】読み出し制御回路300は、入力された主画面の入力垂直同期信号110、入力水平同期信号120を基準にして、主画面の最初のピクセルデータをグラフィックス画面の最初のピクセルデータが一致するように、グラフィックス用メモリ400の読み出しアドレス310を発生、出力する。また、2ビットカウンタ600の値が主画面データ130のYCrCbの各成分に正しく対応するように、2ビットカウンタ600のリセットするカウントリセット信号330を発生、出力する。また、読み出し制御回路300は、外部のCPU800等に、次のクロックサイクルでグラフィックス用メモリ400やルックアップテーブル500へのアクセスを許

可するアクセス許可信号320を発生、出力する。このアクセス許可信号320は、画面の表示を乱さないために、表示系である読み出し制御回路300からのグラフィックス用メモリ400の読み出しを外部のCPU800からの読み書きに優先させるための調停に使用される。

【0057】2ビットカウンタ600は、読み出し制御回路300が出力するカウンタリセット信号330によって、2ビットカウンタ600の出力610の値と主画面データ130の時分割多重されたYCrCbの各成分が、必ずあらかじめ決められた通りに対応するように初期化され、クロック信号140をカウントする。図8では、図8(B)および(D)に示すように、Cb成分が0、その後のY成分が1、Cr成分が2、その後のY成分が3のように対応しているが、この例と同じである必要はない。この2ビットカウンタ600の出力610は、ルックアップテーブル500を参照するためのアドレスの一部として使用され、主画面データ130のCbYCrの各成分毎にルックアップテーブル500の異なったアドレスを参照することによって、それぞれの成分に異なった重ね合わせ処理を行う。それによって、例えば、モノクロ化や輝度強調などの処理が行える。

【0058】グラフィックス用メモリ400は、読み出し制御回路300が出力する読み出しアドレス310をRAM402のアドレスとして、そのアドレスに格納されているデータをグラフィックス画面データ410として出力する。図8(C)に示すように、グラフィックス画面データ410は主画面データ130と異なり成分毎の時分割多重はしていない。このため、1ピクセルの期間はクロック信号140の2クロック分の期間であるので、1クロック目でグラフィックス画面データを読み出し、その読み出したデータを次の読み出しフリップフロップ403またはラッチにより保持する。2クロック目は、外部のCPU800がアクセス制御回路700を通してグラフィックス用メモリ400にアクセスしない場合に使用することで、主画面のブランキング期間のみにアクセスする場合よりグラフィックス画面の更新が高速に行える。

【0059】その場合、RAM402のアドレスとして使用する読み出しアドレス310とアドレスバス720との切り替えは、アクセス制御回路700が出力するグラフィックス用メモリアクセス制御信号710に従って行う。

【0060】ルックアップテーブル500は、主画面データ130とグラフィックス画面データ410と2ビットカウンタ600の出力610をあわせてメモリのアドレスとし、そのアドレスに、主画面データ130の各成分とグラフィックス画面データ410に希望の重ね合わせ処理の演算を行った結果をあらかじめ計算して格納しておく。表示する時に、ルックアップテーブル500

は、主画面データ130とグラフィックス画面データ410と2ビットカウンタ600の出力610をあわせてアドレスとし、そのアドレスに格納されている内容を読み出し、フリップフロップ503またはラッチにより保持し、合成画面データ131として出力する。この重ね合わせ処理の演算結果を格納しておくメモリとしてRAM502を使用すれば、内容を書き替えることによって様々な重ね合わせ処理を単一の回路で実現できる。また、その重ね合わせ処理結果の計算と書き替えを外部のCPU800で行うことで、重ね合わせ処理の変更をソフトウェアのみで実現でき、また動作中の変更も可能となる。ただし、図8に示すように、合成画面データ131の1ピクセル分の期間は主画面データ130と同じくクロック信号140の1クロック分の周期なので、外部のCPU800からのアクセスはグラフィックス用メモリ400のように表示期間中にすることはできず、ブランキング期間中にのみ可能である。その時には、グラフィックス用メモリ400の場合と同様、RAMのアドレスとして使用する主画面データ130とグラフィックス画面データ410と2ビットカウンタ600の出力610をあわせたものとアドレスバス720との切り替えは、アクセス制御回路700が出力するLUTアクセス制御信号740に従って行う。

【0061】アクセス制御回路700は、読み出し制御回路300が出力するアクセス許可信号320に基づき、外部のCPU800からのグラフィックス用メモリ400とルックアップテーブル500へのアクセスが、表示のためのアクセスを妨害して画面を乱すことのないよう制御する。アクセス許可信号320は、次のクロックサイクルでグラフィックス用メモリ400とルックアップテーブル500のそれぞれがアクセス可能か不可能かを示している。CPU800からのグラフィックス用メモリ400またはルックアップテーブル500に対して読み出し／書き込みアクセスがあった場合、そのアクセスはアクセス制御回路700がアクセス許可信号320に基づき、アクセス可能なクロックサイクルに実行し、その結果をCPU800へ返す。これはCPU800のクロック源(図示せず)はOSD回路100のマスタークロックである主画面データ130のクロック信号140とは別であり、OSD回路100とは非同期に動作しているからである。

【0062】遅延回路200は、入力垂直同期信号110と入力水平同期信号120に主画面とグラフィックス画面との重ね合わせに要するクロック数分の遅延を与え、両同期信号と画面データの位相関係を重ね合わせ前と後で同一にする。遅延を与えた両同期信号はそれぞれ出力垂直同期信号111と出力水平同期信号121として出力される。例えば、図8の動作の場合は重ね合わせに要するクロック数は0クロックなので遅延回路200は必要ない。しかしながら、これを実現する場合はグラ



フィックス用メモリ400やルックアップテーブル500のメモリに非常に高速なものが必要であり高価になる。安価な比較的低速なメモリを使用できるようにするためには処理をパイプライン化すれば良いが、その場合はパイプラインの段数分のクロック数の遅延が入るので、遅延回路200ではそれに等しいクロック数の遅延を与える。

【0063】OSD回路100の外部に接続されているCPU800は、OSD回路100の制御だけでなく、OSD回路100が組み込まれている機器の制御にも共用できる。CPU800は、グラフィックス画面データを、計算する、ユーザの操作に基づく、付属するROMなどに記憶している、などなんらかの手段によって発生し、アクセス制御回路700を通してグラフィックス用メモリ400に書き込む。また、CPU800は、主画面データ130とグラフィックス画面データ410のとりうる全ての値について、希望の重ね合わせ処理の結果を計算し、アクセス制御回路700を通してルックアップテーブル500の対応するアドレスに書き込む。

【0064】例えば、主画面データ130が8ビット幅でルックアップテーブル500のアドレスバスのビット15からビット8に接続され、グラフィックス画面データ410が6ビット幅でルックアップテーブル500のアドレスバスのビット7からビット2に接続され、2ビットカウンタ600の出力610がルックアップテーブル500のアドレスバスのビット1からビット0に接続されているとする。また、2ビットカウンタ600の出力610の値と主画面データ130のYCbCr各成分の対応は図8と同じとする。ルックアップテーブル500のデータ幅は主画面データ130のデータ幅と同じ8ビットとする。重ね合わせ処理としては、グラフィックス画面データ410が0のときは、対応する位置の主画面データ130をモノクロにして、また、グラフィックス画面データ410が0以外のときは主画面データ130をそのまま、出力するものとする。

【0065】この場合、ルックアップテーブル500に書き込む内容を、ルックアップテーブル500のアドレスの下位8ビットが“00000000”または“00000010”となるアドレス、すなわち、グラフィックス画面データ410が0でかつ主画面データ130がCbまたはCr成分のとき参照されるアドレスには128とし、それ以外のアドレスにはアドレスの上位8ビット、すなわちそのアドレスが参照される時の主画面データ130の値とすることで実現できる。

【0066】

【発明の効果】本発明は次の効果を奏する。第1の効果は表現力が高いということである。その理由は、多種類の重ね合わせ処理が行えるからである。

【0067】第2の効果は比較的簡単な回路で多種類の画面重ね合わせ処理が行えるということである。その理

由は、主画面データとグラフィックス画面データのとりうる値全てについて、重ね合わせ処理の計算をCPUによりソフトウェアであらかじめ行い、その結果をルックアップテーブルに格納しておいて、表示する時には主画面データ、グラフィックス画面データ等をアドレスとしてルックアップテーブルを参照することで重ね合わせ処理を実行するため、加算器や乗算器等の演算器等のハードウェアが不要だからである。また、重ね合わせ処理の変更がルックアップテーブルに格納する値の変更で行えるので、CPU等で随時書き替えることによって、単一の回路を複数の重ね合わせ処理に使用できるからである。

【0068】第3の効果はルックアップテーブルの容量を小さくできるということである。その理由は、主画面データのYCbCr等の成分を時分割多重して扱うことによって、主画面データのデータ幅を時分割多重する前の1/2から1/3にするからである。

【図面の簡単な説明】

【図1】本発明の一実施の形態によるOSD回路の構成を示すブロック図である。

【図2】図1に示したOSD回路に使用される遅延回路の構成を示すブロック図である。

【図3】図1に示したOSD回路に使用される読み出し制御回路の構成を示すブロック図である。

【図4】図1に示したOSD回路に使用されるグラフィック用メモリの構成を示すブロック図である。

【図5】図1に示したOSD回路に使用されるルックアップテーブル(LUT)の構成を示すブロック図である。

【図6】図1に示したOSD回路に使用されるアクセス制御回路の構成を示すブロック図である。

【図7】図1に示したOSD回路に供給される主画面データのフォーマットの一例を示すタイミングチャートである。

【図8】図1に示したOSD回路における主画面データとグラフィックス画面データの重ね合わせ動作の例を示すタイミングチャートである。

【図9】特開平5-127639号公報(先行技術1)に記載されたサブコードグラフィックスデコーダを簡略化して示したブロック図である。

【符号の説明】

100	OSD回路
110	入力垂直同期信号
111	出力垂直同期信号
120	入力水平同期信号
121	出力水平同期信号
130	主画面データ
131	合成画面データ
140	クロック信号
200	遅延回路